

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-307656

(43)Date of publication of application : 05.11.1999

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

G11C 16/04

H01L 27/115

(21)Application number : 10-317071

(71)Applicant :

LG SEMICON CO LTD

(22)Date of filing : 09.11.1998

(72)Inventor :

MIN-GYU RIMU

(30)Priority

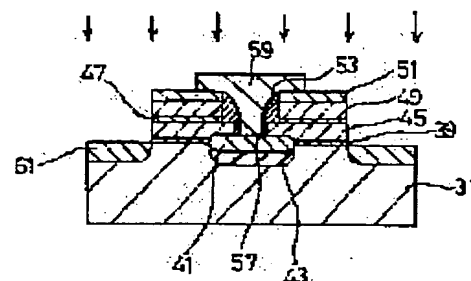
Priority number : 97 9759597 Priority date : 13.11.1997 Priority country : KR

(54) FLASH MEMORY DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a flash memory device and a manufacturing method thereof, wherein an erase operation is prevented from deteriorating in efficiency, a programming operation is enhanced in efficiency by increasing the coupling ratio and kept high in reliability, the memory device is lessened in size, and a manufacturing process is made easy and simple.

SOLUTION: A first gate insulating film 39 and an embedded insulating film 41 are continuously connected and formed on a first conductive semiconductor substrate 31, a floating gate 45, a second gate insulating film 47, a control gate 49, and a cap insulating film 51 are formed on the first gate insulating film 39, which overlaps with the embedded insulating film 41, a sidewall 53 or a third gate insulating film 57 is formed on the sides of them, an erase gate 59 is formed on the embedded insulating film 41, a source region is formed under the embedded insulating film 41, a drain region 61 is formed inside the edge side of the semiconductor substrate 31 so as not to overlap with the embedded insulating film 42 of a floating gate 45, and thus a flash memory device is constituted.



LEGAL STATUS

[Date of request for examination]

17.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-307656

(43)公開日 平成11年(1999)11月5日

(51)Int.Cl. ⁶	識別記号	F I	
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
29/788		G 1 1 C 17/00	6 2 1 A
29/792		H 0 1 L 27/10	4 3 4
G 1 1 C 16/04			
H 0 1 L 27/115			

審査請求 未請求 請求項の数4 O L (全 8 頁)

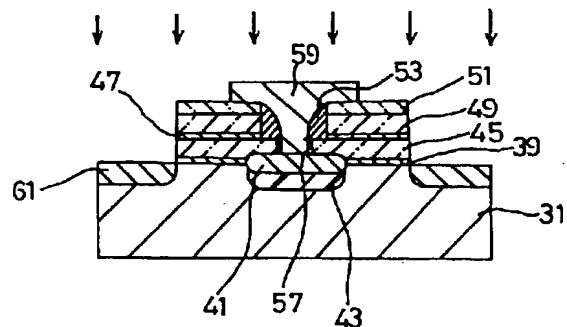
(21)出願番号	特願平10-317071	(71)出願人	596034274 エルジー セミコン カンパニー リミテ ッド 大韓民国、チューンチェオンブクド、チ ェオンジュ、フンダクグ、ヒヤングジェ オンードン、1
(22)出願日	平成10年(1998)11月9日	(72)発明者	ミンギョ リム 大韓民国、チューンチェオンブクド、チ ェオンジュ、フンダクグ、ボンミエオン ー2ードン(番地無し)
(31)優先権主張番号	5 9 5 9 7 / 1 9 9 7	(74)代理人	弁理士 笹島 富二雄 (外1名)
(32)優先日	1997年11月13日		
(33)優先権主張国	韓国 (K R)		

(54)【発明の名称】 フラッシュ・メモリ素子及びその製造方法

(57)【要約】

【課題】消去動作の効率の低下を防止できると同時に、カップリング比を増大させてプログラム動作の効率を向上させ、プログラム動作の信頼性を維持し、素子の大きさを減少させ、製造工程を容易、かつ、簡単にできるフラッシュ・メモリ素子及びその製造方法を提供する。

【解決手段】第1導電形の半導体基板31上につながるように形成された第1ゲート絶縁膜39及び埋立て絶縁膜41のうちの第1ゲート絶縁膜39上には、埋立て絶縁膜41の一部分と重畳するようにフローティング・ゲート45、第2ゲート絶縁膜47、コントロール・ゲート49及びキャップ絶縁膜51が形成されて、各側面には側壁53又は第3ゲート絶縁膜57が形成され、埋立て絶縁膜41上には消去ゲート59が形成され、埋立て絶縁膜41の下部にはソース領域が、フローティング・ゲート45の埋立て絶縁膜42と重畳しない側面側の半導体基板31内にはドレーン領域61が形成されることにより、フラッシュ・メモリ素子が構成される。



【特許請求の範囲】

【請求項 1】第 1 導電形の半導体基板と、

前記半導体基板上の所定部分に形成された第 1 ゲート絶縁膜と、

前記半導体基板上の所定部分に前記第 1 ゲート絶縁膜とつながるように形成された埋立て絶縁膜と、

前記第 1 ゲート絶縁膜上に、前記埋立て絶縁膜の一部分と重畳されるように形成されたフローティング・ゲートと、

前記フローティング・ゲートの上面及び前記埋立て絶縁膜と重畳する側面に形成された第 2 及び第 3 ゲート絶縁膜と、

前記第 2 ゲート絶縁膜上に、一側面は、前記フローティング・ゲートの前記埋立て絶縁膜と重畳しない側面と略一致し、他側面は、前記フローティング・ゲートの埋立て絶縁膜側面より短く、かつ、前記埋立て絶縁膜と重畳されるように形成されたコントロール・ゲートと、前記フローティング・ゲート上の、前記コントロール・ゲートの埋立て絶縁膜側面に形成された絶縁性の側壁と、

前記埋立て絶縁膜上に、前記第 3 ゲート絶縁膜及び前記側壁によって前記フローティング・ゲート及び前記コントロール・ゲートと電気的に隔離されるように形成された消去ゲートと、

前記半導体基板内の、前記埋立て絶縁膜の下部に形成された第 2 導電形のソース領域及び前記フローティング・ゲートの前記埋立て絶縁膜と重畳しない側面に形成された第 2 導電形のドレイン領域と、を含むことを特徴とするフラッシュ・メモリ素子。

【請求項 2】前記第 1 ゲート絶縁膜が 20～40 nm の厚さで形成されたことを特徴とする請求項 1 記載のフラッシュ・メモリ素子。

【請求項 3】第 1 導電形の半導体基板上の所定部分に第 2 導電形の不純物を高濃度でイオン注入する工程と、前記不純物が高濃度で注入された部分を含む前記半導体基板の表面を酸化させて、第 1 ゲート絶縁膜及び埋立て絶縁膜を形成すると同時に、前記不純物を拡散させてソース領域を形成する工程と、

前記第 1 ゲート酸化膜及び埋立て絶縁膜上に、第 1 方向にバターンニングされたフローティング・ゲートを形成する工程と、

前記フローティング・ゲート上に、前記フローティング・ゲートと直交する第 2 方向にバターンニングされ、一側面が前記埋立て絶縁膜と重畳する第 2 ゲート絶縁膜、コントロール・ゲート及びキャップ酸化膜を順次形成する工程と、

前記第 2 ゲート絶縁膜、前記コントロール・ゲート及び前記キャップ酸化膜の前記埋立て絶縁膜と重畳する側面に絶縁性の側壁を形成する工程と、

前記キャップ酸化膜及び前記側壁をマスクとして用い

て、前記フローティング・ゲート及び前記第 1 ゲート絶縁膜をバターンニングする工程と、

前記フローティング・ゲートの前記埋立て絶縁膜と重畳する側面に第 3 ゲート絶縁膜を形成する工程と、

前記埋立て絶縁膜上に消去ゲートを形成する工程と、

前記半導体基板の露出された部分に第 2 導電形の不純物を高濃度でイオン注入してドレイン領域を形成する工程と、を備えることを特徴とするフラッシュ・メモリ素子の製造方法。

10 【請求項 4】前記第 1 ゲート絶縁膜を 20～40 nm の厚さに形成することを特徴とする請求項 3 記載のフラッシュ・メモリ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フラッシュ・メモリ(Flash Memory)素子及びその製造方法に関するもので、特に、フローティング・ゲート(floating gate)に貯蔵された電子を消去ゲート(erase gate)にトンネリングさせるフラッシュ・メモリ素子及びその製造方法に関するものである。

20 【0002】

【従来の技術】フラッシュ・メモリ素子は、フローティング・ゲートとコントロール・ゲート(control gate)とが積層された構造を持ち、複数のメモセルを同時に消去できるように消去速度が早い不揮発性半導体メモリ素子である。フラッシュ・メモリ素子では、コントロール・ゲートに高い電圧を印加して、ドレイン領域付近で発生されるホットエレクトロン(hot-electron)がフローティング・ゲートに注入されることにより、データの書き込み動作、いわゆるプログラム動作が行われる。このとき、コントロール・ゲートに印加される電圧に対するフローティング・ゲートに印加される電圧の比をカップリング比(coupling ratio)といい、このカップリング比が大きくなるほどプログラム動作の効率が増加する。

30 【0003】また、データの消去動作は、深い接合を有するソース領域に高電圧を印加して、ファウラ・ノルドハイム・トンネリング(Fowler-Nordheim tunneling)によって、フローティング・ゲートの電子がソース領域或いは半導体基板にトンネリングされるようにすることで行われる。図 4 は、従来のフラッシュ・メモリ素子の断面図である。

40 【0004】従来のフラッシュ・メモリ素子は、P 形の半導体基板 11 の所定部分に、第 1 ゲート絶縁膜 13 及び不純物がドーピングされた多結晶シリコンから成るフローティング・ゲート 15 が形成される。そして、フローティング・ゲート 15 上に、第 2 ゲート絶縁膜 17 及びコントロール・ゲート 19 が形成される。上記コントロール・ゲート 19 は、チャンネルの長さ方向と交差する方向に縞模様(図に示していない)にバターンニングされて形成される。また、フローティング・ゲート 15 の

両側面の半導体基板11内に、ソース領域27及びドレイン領域29がそれぞれ形成される。それから、第1ゲート絶縁膜13、フローティング・ゲート15、第2ゲート絶縁膜17及びコントロール・ゲート19の各側面に側壁25が形成される。さらに、ソース領域27を囲むように、N形の不純物が低濃度でドーピングされた低濃度領域23が形成される。

【0005】上述の構造のフラッシュ・メモリ素子では、プログラム動作の時には、ソース領域27を接地させた状態で、コントロール・ゲート19に12V程度のゲート電圧(Vg)を印加して、ドレイン領域29に5〜6V程度のドレイン電圧(Vd)を印加する。コントロール・ゲート19に印加されるゲート電圧(Vg)によってフローティング・ゲート15の下部の半導体基板11内にチャネル領域が形成され、ドレイン領域29に印加されるドレイン電圧(Vd)によって電子が加速されて、加速された電子は第1ゲート絶縁膜13のエネルギー障壁を飛び越えて、フローティング・ゲート15に注入される。このように、フラッシュ・メモリ素子の臨界電圧が高くなることにより、プログラム動作がなされる。

【0006】上記プログラム動作の効率は、コントロール・ゲート19に印加されるゲート電圧(Vg)に対するフローティング・ゲート15に誘導される電圧の大きさに左右される。即ち、コントロール・ゲート19に印加されるゲート電圧(Vg)に対するフローティング・ゲート15に誘導される電圧の大きさを表わすカップリング比(coupling ratio)が大きいほど、プログラム動作の効率が向上される。カップリング比は、第1ゲート絶縁膜13の静電容量を減少させるか、又は第2ゲート絶縁膜17の静電容量を増加させるほど、大きくなる。従って、第1ゲート絶縁膜13の静電容量を減少させるためには、第1ゲート絶縁膜13を厚く形成すればよい。また、第2ゲート絶縁膜17の静電容量を増加させるためには、例えば、第2ゲート絶縁膜17を酸化物-窒化物-酸化物(Oxide-Nitride-Oxide: 以下ONOと称す)構造の膜で形成すればよい。

【0007】一方、フラッシュ・メモリ素子にプログラム動作により書き込まれたデータを消去する時は、コントロール・ゲート19を接地させるか、又は「-」電圧を印加した状態で、ソース領域23に15V以上のソース電圧(Vs)を印加して、フローティング・ゲート15内の電子をソース領域27にトンネリングさせる。上記電子は、ファウラ・ノルドハイム・トンネリング(Fowler-Nordheim tunneling)によって、フローティング・ゲート15から第1ゲート絶縁膜13を通過してソース領域27に移動されることにより、フラッシュ・メモリ素子の臨界電圧が低くなって、消去動作がなされる。

【0008】このとき、低濃度領域23の接合を深く拡散させておくことにより、ソース領域27に高い電圧が印加される時にソース領域27の接合破壊(junction br

eakdown)が起こることを防止する。また、上記フラッシュ・メモリ素子の消去動作の効率を向上させるためには、電子が第1ゲート絶縁膜13を通過してフローティング・ゲート15からソース領域27に移動されるので、第1ゲート絶縁膜13を薄く形成することが必要である。

【0009】次に、図5、図6を用いて、従来のフラッシュ・メモリ素子の製造方法を説明する。図5、図6は、従来のフラッシュ・メモリ素子の各製造工程図である。まず、図5(A)に示すように、P形の半導体基板11の表面を熱酸化させて、第1ゲート絶縁膜13を形成する。そして、第1ゲート絶縁膜13上に、不純物がドーピングされた多結晶シリコンを化学気相成長(Chemical Vapor Deposition: 以下CVDと称す)法で成長させた後、フォトリソグラフィ法によってチャネルの長さ方向である第1方向に縞模様にパターンニング(図示されていない)して、フローティング・ゲート15を形成する。

【0010】次に、図5(B)に示すように、半導体基板11上に、縞模様にパターンニングされたフローティング・ゲート15を覆うように、ONO構造を持つ第2ゲート絶縁膜17を形成する。そして、第2ゲート絶縁膜17上に、不純物がドーピングされた多結晶シリコンをCVD法で成長させる。次に、図6(A)に示すように、コントロール・ゲート19、第2ゲート絶縁膜17、フローティング・ゲート15及び第1ゲート絶縁膜13を、フォトリソグラフィ法で、第1方向と垂直する第2方向に順次的にパターンニングする。このとき、第1ゲート絶縁膜13は、8〜10nm程度の厚さで形成される。

【0011】そして、半導体基板11の所定部分を露出させるフォトレジスト・パターン21を形成する。このフォトレジスト・パターン21及びコントロール・ゲート19をマスクとして用いて、半導体基板11の露出部分にN形の低濃度の不純物を注入して、低濃度領域23を形成する。このとき、低濃度領域23をフローティング・ゲート15の所定部分と重なるように形成する。

【0012】最後に、図6(B)に示すように、フォトレジスト・パターン21を除去する。そして、半導体基板11上に、コントロール・ゲート19を覆うように酸化シリコンをCVD法で成長させてエッチバックし、第1ゲート絶縁膜13、フローティング・ゲート15、第2ゲート絶縁膜17及びコントロール・ゲート19の両側面に側壁25を形成する。さらに、コントロール・ゲート19及び側壁25をマスクとして用いて、半導体基板11にN形の不純物を高濃度にイオン注入して、ソース領域27及びドレイン領域29を形成する。上記ソース領域27は、低濃度領域23によって取り囲まれるように形成する。

【0013】

【発明が解決しようとする課題】従来の技術において、消去動作の効率を向上させるためには、第1ゲート絶縁膜13を薄く形成しなければならない。しかし、第1ゲート絶縁膜を薄く形成すると、カップリング比が減少し、プログラミング動作の効率が減少されるという問題点がある。

【0014】また、第1ゲート酸化膜13は薄く形成しにくい。さらに、第1ゲート酸化膜13を薄く形成すると、フローティング・ゲート15に貯蔵された電子がドレイン電圧によって消去されるおそれがあり、プログラム動作の信頼性が低下するという問題点がある。また、消去動作の時、ソース領域27に印加される高電圧によってソース領域27が接合破壊されるのを防止するための低濃度領域23を形成しなければならないので、フラッシュ・メモリ素子の大きさが増加され、その製造工程が複雑になるという問題点がある。

【0015】そこで、本発明はこのような従来の課題に鑑みてなされたもので、消去動作の効率の低下を防止できると同時に、カップリング比を増大させてプログラム動作の効率を向上させ、プログラム動作の信頼性を維持し、素子の大きさを減少させ、製造工程を容易、かつ、簡単にできるフラッシュ・メモリ素子及びその製造方法を提供することにある。

【0016】

【課題を解決するための手段】このため、請求項1の発明に係るフラッシュ・メモリ素子は、第1導電形の半導体基板と、前記半導体基板上の所定部分に形成された第1ゲート絶縁膜と、前記半導体基板上の所定部分に前記第1ゲート絶縁膜とつながるように形成された埋立て絶縁膜と、前記第1ゲート絶縁膜上に、前記埋立て絶縁膜の一部分と重畳されるように形成されたフローティング・ゲートと、前記フローティング・ゲートの上面及び前記埋立て絶縁膜と重畳する側面に形成された第2及び第3ゲート絶縁膜と、前記第2ゲート絶縁膜上に、一側面は、前記フローティング・ゲートの前記埋立て絶縁膜と重畳しない側面と略一致し、他側面は、前記フローティング・ゲートの埋立て絶縁膜側面より短く、かつ、前記埋立て絶縁膜と重畳されるように形成されたコントロール・ゲートと、前記フローティング・ゲート上の、前記コントロール・ゲートの埋立て絶縁膜側面に形成された絶縁性の側壁と、前記埋立て絶縁膜上に、前記第3ゲート絶縁膜及び前記側壁によって前記フローティング・ゲート及び前記コントロール・ゲートと電気的に隔離されるように形成された消去ゲートと、前記半導体基板内の、前記埋立て絶縁膜の下部に形成された第2導電形のソース領域及び前記フローティング・ゲートの前記埋立て絶縁膜と重畳しない側面に形成された第2導電形のドレイン領域と、を含む構成とした。

【0017】請求項2の発明に係るフラッシュ・メモリ素子では、前記第1ゲート絶縁膜が20～40nmの厚

さで形成される構成とした。請求項3の発明に係るフラッシュ・メモリ素子の製造方法は、第1導電形の半導体基板上の所定部分に第2導電形の不純物を高濃度でイオン注入する工程と、前記不純物が高濃度で注入された部分を含む前記半導体基板の表面を酸化させて、第1ゲート絶縁膜及び埋立て絶縁膜を形成すると同時に、前記不純物を拡散させてソース領域を形成する工程と、前記第1ゲート酸化膜及び埋立て絶縁膜上に、第1方向にパターンニングされたフローティング・ゲートを形成する工程と、前記フローティング・ゲート上に、前記フローティング・ゲートと直交する第2方向にパターンニングされ、一側面が前記埋立て絶縁膜と重畳する第2ゲート絶縁膜、コントロール・ゲート及びキャップ酸化膜を順次形成する工程と、前記第2ゲート絶縁膜、前記コントロール・ゲート及び前記キャップ酸化膜の前記埋立て絶縁膜と重畳する側面に絶縁性の側壁を形成する工程と、前記キャップ酸化膜及び前記側壁をマスクとして用いて、前記フローティング・ゲート及び前記第1ゲート絶縁膜をパターンニングする工程と、前記フローティング・ゲートの前記埋立て絶縁膜と重畳する側面に第3ゲート絶縁膜を形成する工程と、前記埋立て絶縁膜上に消去ゲートを形成する工程と、前記半導体基板の露出された部分に第2導電形の不純物を高濃度でイオン注入してドレイン領域を形成する工程と、を備えることとした。

【0018】請求項4の発明に係るフラッシュ・メモリ素子の製造方法では、前記第1ゲート絶縁膜を20～40nmの厚さに形成することとした。

【0019】

【発明の実施の形態】以下、本発明の実施の形態を添付の図面を参照して説明する。図1は、本発明に係るフラッシュ・メモリ素子の構造の一実施形態の断面図である。本発明に係るフラッシュ・メモリ素子は、半導体基板31、第1、第2、第3ゲート絶縁膜39、47、57、埋立て絶縁膜41、フローティング・ゲート45、コントロール・ゲート49、消去ゲート59、ソース領域43及びドレイン領域61を含むものである。

【0020】P形の半導体基板31内の所定部分に、N形の不純物が高濃度でドーピングされたソース領域43及びドレイン領域61が形成される。上記のソース領域43とドレイン領域61との間はチャンネル領域となる。第1ゲート絶縁膜39は、半導体基板31のチャンネル領域上に形成され、埋立て絶縁膜41は、第1ゲート絶縁膜39とつながるように、半導体基板31のソース領域43上に形成される。第1ゲート絶縁膜39及び埋立て絶縁膜41は、熱酸化法によって同時に形成されるもので、それぞれ20～40nm及び100～200nm程度の厚さで形成される。

【0021】フローティング・ゲート45は、第1ゲート絶縁膜39上に、埋立て絶縁膜41と一部分が重畳されるように形成される。フローティング・ゲート45

は、不純物がドーピングされた多結晶シリコンであり、150～300nm程度の厚さで形成される。第2ゲート絶縁膜47はフローティング・ゲート45上に形成され、第2ゲート絶縁膜47上にコントロール・ゲート49が形成される。第2ゲート絶縁膜47は、酸化膜又は酸化物-窒化物-酸化物(Oxide-Nitride-Oxide: 以下ONOと称す)の構造の膜であり、20～30nm程度の厚さで形成され、コントロール・ゲート49は、不純物のドーピングされた多結晶シリコンにより、200～300nm程度の厚さを有し、チャンネルの長さ方向と交差する方向に縞模様(図に示されていない)に形成される。コントロール・ゲート49の埋立て絶縁膜41と重畳しないドレーン領域61側の側面は、フローティング・ゲート45の側面と略一致し、ソース領域43側の他側面は、フローティング・ゲート45の側面より短く、埋立て絶縁膜41と重畳されるように形成される。コントロール・ゲート49上には、キャップ酸化膜51が形成される。

【0022】フローティング・ゲート45の埋立て絶縁膜41と重畳される側、即ち、ソース領域43側の側面には第3ゲート絶縁膜57が形成され、フローティング・ゲート45上の、第2ゲート絶縁膜47、コントロール・ゲート49及びキャップ酸化膜51のソース領域43側の他側面には絶縁性の側壁53が形成される。消去ゲート59は、埋立て絶縁膜41上に、第3ゲート絶縁膜57によってフローティング・ゲート45と、キャップ酸化膜51及び側壁53によってコントロール・ゲート49と、それぞれ電氣的に離隔されるように形成される。

【0023】上述のような構造のフラッシュ・メモリ素子では、プログラム動作の時には、ソース領域43を接地させた状態で、コントロール・ゲート49に12V程度のゲート電圧(V_g)を印加して、ドレーン領域61に5～6V程度のドレーン電圧(V_d)を印加する。コントロール・ゲート49に印加されるゲート電圧(V_g)によってフローティング・ゲート45の下部の半導体基板31にチャンネルが形成され、ドレーン領域61に印加されるドレーン電圧(V_d)によって加速される電子が第1ゲート絶縁膜39のエネルギー障壁を飛び越えてフローティング・ゲート45に注入される。このように、フラッシュ・メモリ素子の臨界電圧が高くなって、プログラム動作がなされる。

【0024】また、プログラム動作により書き込まれたデータを消去する時は、コントロール・ゲート49を接地させるか、又は、 $-V_g$ 電圧を印加した状態で、消去ゲート59に15V以上の高電圧を印加して、フローティング・ゲート45内の電子をソース領域43にトンネリングさせる。このとき、電子は、フローティング・ゲート45から第3ゲート絶縁膜57を通して消去ゲート59へ移動することにより、フラッシュ・メモリ素子

の臨界電圧が低くなって消去動作がなされる。このとき、フローティング・ゲート45のエッジに電界が集中するので、消去動作の効率が向上される。

【0025】本実施形態のフラッシュ・メモリ素子では、第1ゲート絶縁膜39を厚く形成できるので、第1ゲート絶縁膜39の静電容量が小さくなり、また、フローティング・ゲート45及びコントロール・ゲート49が埋立て絶縁膜41上に重畳されて、フローティング・ゲート45の面積は従来よりも広く形成できるので、第2ゲート絶縁膜47の静電容量が大きくなる。従って、コントロール・ゲート49に印加されるゲート電圧(V_g)に対するフローティング・ゲート45に誘導される電圧の大きさを表わすカップリング比が増加されて、プログラム動作の効率が向上される。また、プログラム動作の信頼性を維持できる。

【0026】また、ソース領域43の接合破壊を防止するための低濃度領域が必要でないため、フラッシュ・メモリ素子の大きさを減少させることができる。さらに、15V以上の高電圧を、ソース領域ではなく、消去ゲート59に印加して消去動作を行うので、ソース領域43を浅い接合(shallow junction)構造で形成しても、接合破壊の発生を防止できる。

【0027】図2及び図3は、本発明に係るフラッシュ・メモリ素子の製造方法の一実施形態の各製造工程図である。まず、図2(A)に示すように、第1導電形であるP形の半導体基板31の表面を熱酸化して、パッド酸化膜33を形成し、パッド酸化膜33上の所定部分を露出させるフォトレジスト・パターン35を形成する。フォトレジスト・パターン35をマスクとして用いて、ヒ素(As)又はリン(P)などの第2導電形であるN形の不純物を高濃度でイオン注入して、半導体基板31にイオン注入領域37を形成する。

【0028】次に、図2(B)に示すように、フォトレジスト・パターン35及びパッド酸化膜33を順次除去して、半導体基板31を露出させる。そして、半導体基板31の表面を再び熱酸化して、第1ゲート絶縁膜39を20～40nm程度の厚さに形成する。このとき、イオン注入領域37では、イオン注入時に結晶格子が損傷されるため、イオンが注入されずに結晶格子が損傷されない部分より早い速度で酸化される。従って、イオン注入領域37が形成された部分には、第1ゲート絶縁膜39より厚い埋立て絶縁膜41が100～200nm程度の厚さで形成される。また、この熱酸化処理時には、熱によってイオン注入領域37の不純物が拡散されて、埋立て絶縁膜41の下部にソース領域43が形成される。

【0029】次に、図2(C)に示すように、第1ゲート絶縁膜39及び埋立て絶縁膜41上に、不純物がドーピングされた多結晶シリコンをCVD法で成長させた後、フォトリソグラフィ法によって、チャンネルの長さ方向である第1方向に縞模様でパターンニング(図示されて

いない)して、フローティング・ゲート45を、150～300nm程度の厚さに形成する。

【0030】そして、半導体基板31上に縞模様でパターンニングされたフローティング・ゲート45を覆うように、第2ゲート絶縁膜47を、20～30nm程度の厚さに形成する。第2ゲート絶縁膜47は、酸化膜又はONO構造の膜で形成する。さらに、第2ゲート絶縁膜47上に、不純物がドーピングされた多結晶シリコン及び酸化シリコンをCVD法で成長させ、フォトリソグラフィ法で、第1方向と直交する第2方向に順次パターニングして、コントロール・ゲート49及びキャップ酸化膜51を、200～300nm程度の厚さに形成する。このとき、第2ゲート絶縁膜47もパターニングする。

【0031】この後、CVD法により、酸化シリコンをフローティング・ゲート45上に成長させて、キャップ酸化膜51を覆うように酸化シリコン層を形成した後、エッチ・バックし、第2ゲート絶縁膜47、コントロール・ゲート49及びキャップ酸化膜51の両側面に側壁53を形成する。次に、図3(A)に示すように、フローティング・ゲート45上に、キャップ酸化膜51及び側壁53を覆うようにフォトレジストを塗布した後、埋立て絶縁膜41と重畳する部分の側壁53を覆い、キャップ酸化膜51上に残留するように露光及び現象処理して、フォトレジスト・パターン55を形成する。このフォトレジスト・パターン55をマスクとして用いて、露出された側壁53を湿式蝕刻して除去する。

【0032】次に、図3(B)に示すように、フォトレジスト・パターン55を除去する。そして、キャップ酸化膜51及び側壁53をマスクとして用いて、半導体基板31及び埋立て絶縁膜41が露出されるように、フローティング・ゲート45及び第1ゲート絶縁膜39を、フォトリソグラフィ法でパターニングする。さらに、フローティング・ゲート45の埋立て絶縁膜41と重畳する側面に、熱酸化法によって第3ゲート絶縁膜57を形成する。

【0033】この後、不純物がドーピングされた多結晶シリコンをCVD法で成長させて、埋立て絶縁膜41上に残留するようにフォトリソグラフィ法でパターニングして、消去ゲート59を形成する。このとき、消去ゲート59は、第3ゲート絶縁膜57によりフローティング・ゲート45と、キャップ酸化膜51及び側壁53によりコントロール・ゲート49と、それぞれ電氣的に分離される。

【0034】最後に、半導体基板31の露出された部分に、ヒ素(As)又はリン(P)等のN形不純物を高濃度でイオン注入して、ドレイン領域61を形成する。尚、ドレイン領域61の形成工程を消去ゲート59の形成工程の前に行っても良い。本実施形態のフラッシュ・メモリ素子の製造方法により、ソース領域の接合破壊を防止するための低濃度領域を形成しないので、製造工程が少なく

なり、製造が簡単となる。また、第1ゲート酸化膜を厚く形成するので、フラッシュ・メモリ素子の製造が容易になる。

【0035】

【発明の効果】以上説明したように、本発明に係るフラッシュ・メモリ素子では、第1ゲート絶縁膜が厚く形成されるので、消去動作の効率の低下を防止できると同時に、カップリング比を増大させて、プログラム動作の効率を向上させることができる。また、プログラム動作の信頼性を維持できる。

【0036】さらに、ソース領域43の接合破壊を防止するための低濃度領域が必要でないため、フラッシュ・メモリ素子の大きさを減少させることができる。本発明に係るフラッシュ・メモリ素子の製造方法では、ソース領域の接合破壊を防止するための低濃度領域が必要でないため、フラッシュ・メモリ素子の大きさを減少させることができる。

【0037】また、ソース領域の接合破壊を防止するための低濃度領域を形成しないので、製造工程が少なくなり、製造が簡単となる。さらに、第1ゲート酸化膜を厚く形成するので、フラッシュ・メモリ素子の製造が容易になる。

【図面の簡単な説明】

【図1】本発明に係るフラッシュ・メモリ素子の一実施形態の断面図。

【図2】本発明に係るフラッシュ・メモリ素子の製造方法の一実施形態の各製造工程図。

【図3】図2(C)後のフラッシュ・メモリ素子の各製造工程図。

【図4】従来の技術によるフラッシュ・メモリ素子の断面図。

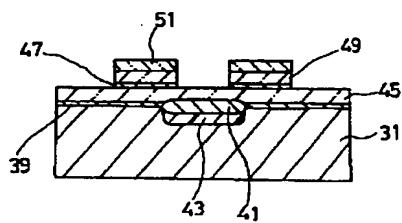
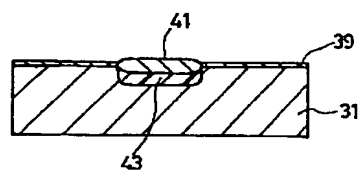
【図5】従来の技術によるフラッシュ・メモリ素子の各製造工程図。

【図6】図5(B)後のフラッシュ・メモリ素子の各製造工程図。

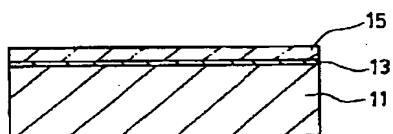
【符号の説明】

- 31 半導体基板
- 33 バッド酸化膜
- 35, 55 フォトレジスト・パターン
- 37 イオン注入領域
- 39 第1ゲート絶縁膜
- 41 埋立て絶縁膜
- 43 ソース領域
- 45 フローティング・ゲート
- 47 第2ゲート絶縁膜
- 49 コントロール・ゲート
- 51 キャップ酸化膜
- 53 側壁
- 57 第3ゲート絶縁膜
- 59 消去ゲート

【図2】

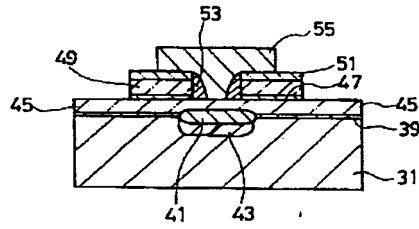


【図5】

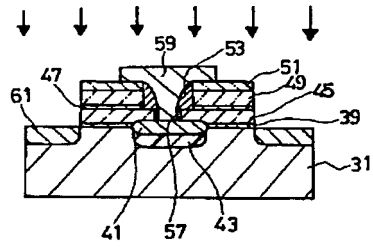


【図3】

(A)

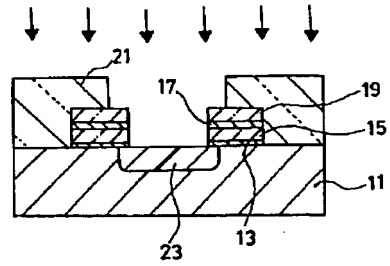


(B)



【図6】

(A)



(B)

